

LOGIČKA KOLA SA MOS TRANZISTORIMA

1. deo



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

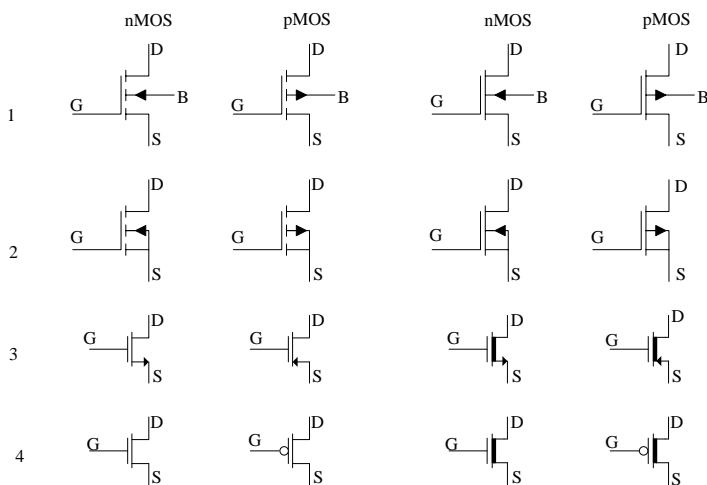
1

1

Simboli MOS tranzistora

MOS tranzistori sa indukovanim kanalom

MOS tranzistori sa ugrađenim kanalom



D - drejn

G - gejč

S - sors

B - osnova



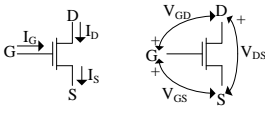
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

2

2

NMOS indukovani „dugački“ kanal



$$I_{Gn} = 0$$

$$I_{Dn} = I_{Sn} \geq 0 \quad \text{za} \quad V_{GSn} \geq V_{Tn}$$

Tranzistor vodi u zasićenju, aktivnoj oblasti, kada je

$$V_{DSn} \geq V_{GSn} - V_{Tn}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn})$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSn} < V_{GSn} - V_{Tn}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

$V_{Tn} > 0$ - prag uključivanja n kanalnog tranzistora, napon pri kojem se formira kanal

λ_n – parametar koji pokazuje modifikaciju dužine kanala u zavisnosti od napona između drejna i sorsa – jedinica $\frac{1}{V}$

$$k_n = \mu_n C_{oxn} \frac{W_n}{L_n}$$

W_n – širina kanala

L_n – dužina kanala

μ_n – pokretljivost nosilaca koja redstavlja vezu između brzine nosilaca i polja koje deluje na njih $v = \mu E$ - jedinica $\frac{m^2}{Vs}$

C_{oxn} – normalizovana, po površini, kapacitivnost gejtā – jedinica $\frac{F}{m^2}$

k_n – jedinica $\frac{A}{V^2}$



3

U velikom broju slučajeva ćemo smatrati da je $\lambda_n = \lambda_p = 0$ odnosno zanemarimo uticaj modulacije dužine kanala sa promenom napona između drejna i sorsa. Međutim ako niste već do sada uočili modeli zavisnosti napona i struja između triodne i oblasti zasićenja pri

$$V_{DSn} = V_{GSn} - V_{Tn}$$

imaju diskontinuitet

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn}) = \frac{k_n}{2} (V_{DSn})^2 (1 + \lambda_n V_{DSn})$$

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2) = \frac{k_n}{2} (V_{DSn}^2)$$

A trebala bi ova dva izraza da daju isti rezultat. Ovo je posledica nesavršenosti modela, slično kao i kod „grubih“ modela kod bipolarnih tranzistora - videćemo. Zbog toga ćete sresti i drugačije modele, na primer neki autori predlažu modifikaciju zavisnosti struje u zasićenju

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n (V_{DSn} - (V_{GSn} - V_{Tn})))$$

dok se na primer u modelu za SPICE programski paket modifikuje struja u triodnoj oblasti na isti način kao što je u zasićenju

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2) (1 + \lambda_n V_{DSn})$$

Mi ćemo „živetiti“ sa ovim diskontinuitetom, odnosno koristićemo one nemodifikovane izraze, znajući da ovako nešto postoji.

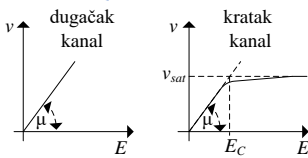


4

Ovi izrazi, odnosno model je pokazivao dobre rezultate kada su dimenzije tranzistora bile „velike“ reda μm . Međutim prilikom eksperimenata sa tranzistorima čije su dimenzije manje i reda nm pojavio se efekat, gledajući izlazne karakteristike, da tranzistor ulazi „ranije“ u oblast zasićenja odnosno pri manjim naponima V_{DS} .

Uočeno je da pri „velikim“ poljima u kanalu dolazi do zasićenja brzine nosilaca, što efektivno ima uticaj da tranzistor „ranije“ uđe u režim zasićenja.

Uvedeni pojmovi dugačak i kratak kanal



$$v_n = \mu_n \frac{E}{1 + \frac{E}{E_{Cn}}} \quad \text{za } E \leq E_{Cn}$$

$$v_n = v_{nsat} \quad \text{za } E \geq E_{Cn}$$

gde je E polje koje deluje na nosioce, E_{Cn} kritično polje pri kojem nastaje efekat zasićenja brzine nosilaca a $v_{nsat} = \frac{\mu_n E_{Cn}}{2}$.



5

Efekat kratkog kanala

Omska, triodna

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DSn}}{L_n E_{Cn}}} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

L_n veliko – svodi se na stare izraze

Zasićenje

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} (V_{GSn} - V_{Tn})^2 \quad \times (1 + \lambda_n V_{DSn}) \text{ ako treba}$$

Uslov

$$V_{DSn} \geq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{zasićenje}$$

$$V_{DSn} \leq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{triodna}$$



6

Izraz se često piše u sledećem obliku

$$I_{Dn} = W_n C_{oxn} v_{nsat} \frac{(V_{GSn} - V_{Tn})^2}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}}$$

$$v_{nsat} = v_{psat} = v_{sat} \approx 8 \times 10^4 \frac{m}{s}$$

$$v_{nsat} = \frac{\mu_n E_{Cn}}{2}$$

$$k_n = \mu_n C_{oxn} \frac{W_n}{L_n}$$

$$v_{psat} = \frac{\mu_p E_{Cp}}{2}$$

$$k_p = \mu_p C_{oxp} \frac{W_p}{L_p}$$

Da bi u nekim situacijama mogli da „skraćujemo“ izraze



7

U literaturi se sreće zbog toga još jedna aproksimacija za struju tranzistora u zasićenju kada je napon $(V_{GSn} - V_{Tn})$ velik odnosno $(V_{GSn} - V_{Tn}) \gg L_n E_{Cn}$. Uz još jednu dodatnu aproksimaciju

$$v_n = \mu_n E \quad \text{za } E \leq E_{Cn}$$

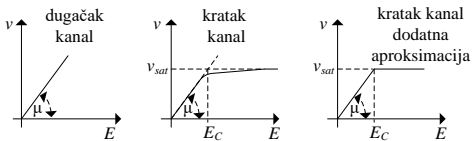
$$v_n = v_{nsat} \quad \text{za } E \geq E_{Cn}$$

$$V_{DSnsat} = L_n E_{Cn} = L_n \frac{v_{nsat}}{\mu_n}$$

$$I_{Dn} = \mu_n C_{oxn} \frac{W_n}{L_n} \left(V_{DSn} (V_{GSn} - V_{Tn}) - \frac{V_{DSn}^2}{2} \right)$$

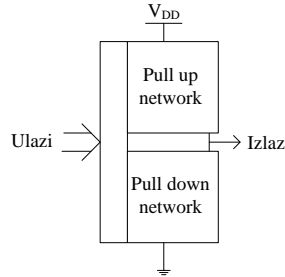
$$I_{Dn} = \mu_n C_{oxn} \frac{W_n}{L_n} V_{DSnsat} \left(V_{GSn} - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$I_{Dn} = W_n C_{oxn} v_{nsat} \left(V_{GSn} - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$



8

Logička kola sa MOS tranzistorima



Ako je PUN mreža realizovana samo sa otpornikom nazivaćemo takva kola sa pasivnim opterećenjem na izlazu.

Ako je PUN mreža realizovana preko aktivnih elemenata, tranzistora, takva kola ćemo nazivati kolima sa aktivnim opterećenjem na izlazu.

1. Pull up network (PUN) deo kola koji na izlazu obezbeđuje logičku jedinicu
2. Pull down network (PDN) deo kola koji na izlazu obezbeđuje logičku nulu

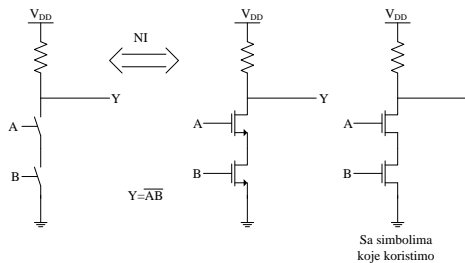
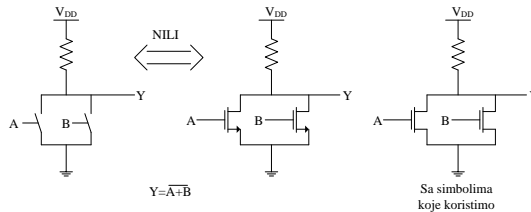
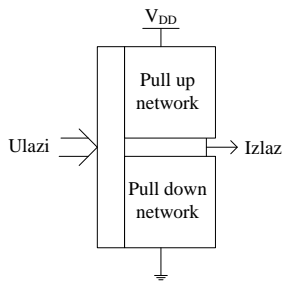
Cilj nam je bio da PUN i PDN budu komplementarne, odnosno da kada jedna radi druga je isključena.

Videćemo kod **trostatičkih kola** situaciju da obe mreže isključujemo.

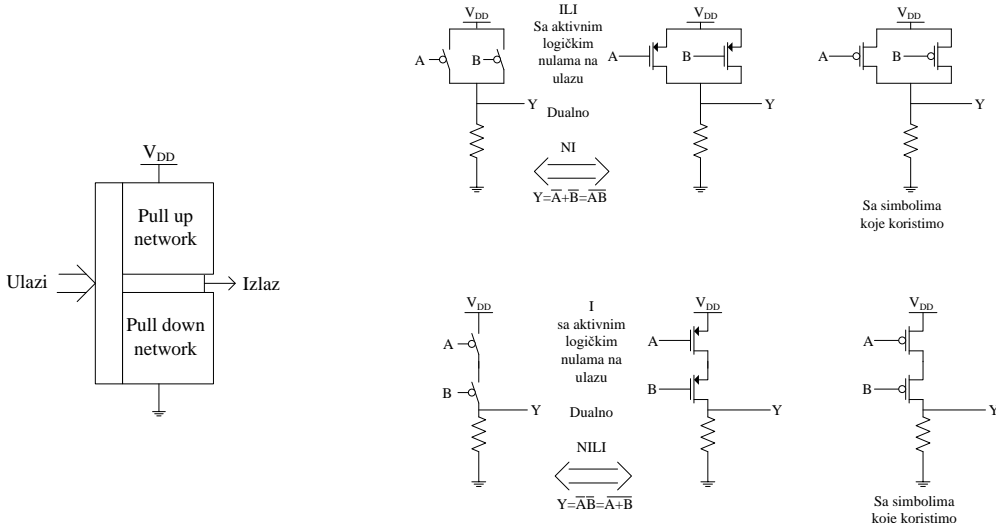
Isto tako kola koja imaju samo PDN – **kola sa otvorenim drejnom**.



PDN – moguće realizacije



PUN – moguće realizacije



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

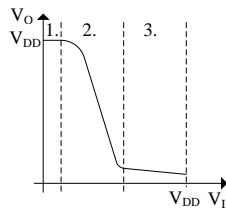
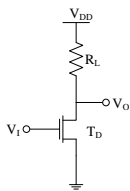
11

11

Analiza invertora. Od njega lako napraviti složena a da ostanu „iste“ karakteristike.

Prvi - nMOS invertor sa pasivnim opterećenjem

U prvom obliku



$$V_i = V_{GS,D} < V_{Tn}$$

i tranzistor ne T_D (D – drive) vodi. Napon na izlazu

$$V_o = V_{DD} - R_L I_{RL} = V_{DD} - R_L I_{Dn,D} = V_{DD}$$

Kada ulazni napon postane jednak V_{Tn} tranzistor počinje da vodi ali sa malom strujom. Zbog toga ne dolazi do velikog pada napona na otporniku R_L (L – load) odnosno napon između drejna i sorsa tranzistora će i dalje biti visok.

$$V_{DSn} > V_{DSn,sat}$$

$$V_{DSn,sat} = \frac{(V_{GSn} - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_{GSn} - V_{Tn})} = \frac{(V_{Tn} + \varepsilon - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_{Tn} + \varepsilon - V_{Tn})} \approx \varepsilon$$

$$V_o = V_{DD} - R_L I_{RL} = V_{DD} - R_L I_{Dn,D} < V_{DD}$$



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

12

12

Ono što je uobičajeno kod analize statičkih karakteristika logičkih kola sa MOS FET tranzistorima je da se ne insistira da uvek izrazi za izlazni napon budu napisani u eksplisicnom obliku, odnosno

$$V_O = f(V_I)$$

Zbog kvadratnih zavisnosti ovu relaciju je često dosta teško izvesti, a videćemo i da nema potrebe, na primer za određivanje karakterističnih tačaka. Po pravilu se ova zavisnost ostavlja u obliku izjednačavanja struja PUN i PDN mreže

$$I_{PUN} = I_{PDN}$$

(ne zaboravite analiziramo neopterećeno logičko kolo).

U tom slučaju, kada tranzistor radi u drugoj oblasti, odnosno u zasićenju je važi

$$I_{PUN} = \frac{V_{DD} - V_O}{R_L} = I_{Dn,D} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS,D} - V_{Tn})}{L_n E_{Cn}}} (V_{GS,D} - V_{Tn})^2 (1 + \lambda_n V_{DS,D})$$

U analizama statičkih karakteristika ćemo zanemariti uticaj promene efektivne dužine kanala, odnosno smatraćemo da je $\lambda_n \approx 0$, pa izraz uz $V_{GS,D} = V_I$ postaje

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$



$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Vidi se da je zavisnost „iskrivljena obrnuta ($y=-x^2 \dots$)“ parabola, pri čemu je maksimum u $V_I = V_{Tn}$.

Kako ulazni napon raste u jednom trenutku će dovoljno pasti napon između drejna i sorsa tranzistora, odnosno izlazni napon tako da tranzistor izlazi iz zasićenja. To se dešava kada je

$$V_O = \frac{(V_I - V_{Tn}) L_n E_{Cn}}{L_n E_{Cn} + (V_I - V_{Tn})} = \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

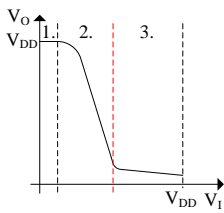
pri čemu ćemo videti da nas ova brojna vrednost baš i ne interesuje.

Na primer, ako zanemarimo efekat kratkog kanala $V_I = V_{Tn} + \sqrt{2 \frac{V_{DD}}{k_n R_L}}$

Uočiti da bi dobili treću oblast

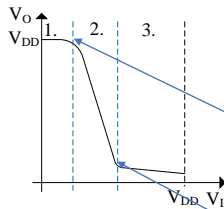
$$\left(V_{Tn} + \sqrt{2 \frac{V_{DD}}{k_n R_L}} \right) < V_{DD}$$





Kada ulazni napon još poraste tranzistor ulazi u triodnu oblast i tada je

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$



1. Oblast – zakočen i u zasićenju
2. Oblast – u zasićenju i u triodnoj
3. Oblast – u triodnoj

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Pojačanje može biti manje od 1

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

Pojačanje može biti veće od 1



Na osnovu prethodne analize možemo odmah da kažemo da je

$$V_{OH} = V_{DD}$$

dok ćemo napon V_{OL} naći u trećoj oblasti zamenjujući $V_I = V_{OH} = V_{DD}$

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OL}}{L_n E_{Cn}}} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2)$$

I sada ide nešto što vas zbunjuje.

Možemo ovaj izraz „tačno“ rešiti. Kvadratna jednačina. **Ali to nećemo raditi.**

Radićemo zanemarivanja, koja će nas često dovesti do izraza za tranzistor sa dugačkim kanalom pa i dalje.

Prvo: nas interesuje kvalitativna slika uz kvantitativnu podršku - da malo grešimo.

Drugo: ovo ćemo zaista često raditi ali **će postojati prilike kada to ne smemo da radimo.**



Prvo zanemarivanje je posledica da naše logičko kolo treba da radi sa naponom $V_{OL} \approx 0$, pa smemo smatrati da je $V_{OL} \ll L_n E_{Cn}$ u režimi kada treba logičko kolo treba da postavi logičku nulu na izlazu.

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OL}}{L_n E_{Cn}}} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2) \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2)$$

i isto tako da su parametri takvi da je $V_{DD} - V_{Tn} \gg V_{OL}$ pa je

$$\frac{V_{DD} - V_{OL}}{R_L} \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2) \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}))$$

Onda je

$$\frac{V_{DD}}{R_L} \approx V_{OL} \left(k_n (V_{DD} - V_{Tn}) + \frac{1}{R_L} \right)$$

$$V_{OL} \approx \frac{V_{DD}}{k_n R_L (V_{DD} - V_{Tn}) + 1}$$



Za određivanje V_{IL} i V_{IH} situacija nije tako vidljiva kao što će biti kod logičkih kola sa bipolarnim tranzistorima. Ovde ćemo to morati da uradimo preko definicije. Da nađemo tačke u kojima je pojačanje po apsolutnoj vrednosti jednako 1.

V_{IL} će se naći očigledno u drugoj oblasti za koju važi

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Gledajući kako se ponaša tranzistor za $V_I = V_{Tn} + \varepsilon$ možemo zaključiti da će on i za malo ε ući u režim velikih pojačanja odnosno da će $(V_{IL} - V_{Tn}) \ll L_n E_{Cn}$, pa taj član možemo zanemariti.

Za određivanje V_{IL}

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (V_I - V_{Tn})^2$$



Zbog čega smo rekli da ostavljamo zavisnosti ulaznih i izlaznih napona u ovom obliku. Zato što nam je sada „lako“ da diferencirano i levu i desnu stranu po V_I

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (V_I - V_{Tn})^2 \quad \left| \frac{\partial}{\partial V_I} \right.$$

$$-\frac{1}{R_L} \frac{\partial V_O}{\partial V_I} \approx 2 \frac{k_n}{2} (V_I - V_{Tn})$$

pri čemu je

$$\frac{\partial V_O}{\partial V_I} = -1$$

$$\frac{1}{R_L} \approx k_n (V_I - V_{Tn})$$

$$V_{IL} \approx V_{Tn} + \frac{1}{k_n R_L}$$

$$V_{O(IL)} \approx V_{DD} - \frac{1}{2k_n R_L}$$



V_{IH} će se naći očigledno u trećoj oblasti za koju važi

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

Za očekivati je da će u tački V_{IH} izlazni napon biti nizak, odnosno da je $V_O < L_n E_{Cn}$ pa opet taj član možemo zanemariti u određivanju V_{IH} .

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (2V_O(V_I - V_{Tn}) - V_O^2)$$

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (2V_O(V_I - V_{Tn}) - V_O^2) \quad \left| \frac{\partial}{\partial V_I} \right.$$

$$-\frac{1}{R_L} \frac{\partial V_O}{\partial V_I} \approx \frac{k_n}{2} \left(2 \frac{\partial V_O}{\partial V_I} (V_I - V_{Tn}) + 2V_O - 2V_O \frac{\partial V_O}{\partial V_I} \right)$$



$$\frac{\partial V_O}{\partial V_I} = -1$$

$$\frac{1}{R_L} \approx \frac{k_n}{2} (-2(V_I - V_{Tn}) + 2V_O + 2V_O)$$

Dve jednačine dve nepoznate

$$\left\{ \begin{array}{l} V_{IH} \approx 2V_{O(IH)} + V_{Tn} - \frac{1}{k_n R_L} \\ \frac{V_{DD} - V_{O(IH)}}{R_L} \approx \frac{k_n}{2} (2V_{O(IH)}(V_{IH} - V_{Tn}) - V_{O(IH)}^2) \end{array} \right.$$

$$V_{O(IH)} \approx \sqrt{\frac{2V_{DD}}{3k_n R_L}}$$

$$V_{IH} \approx V_{Tn} + \sqrt{\frac{8V_{DD}}{3k_n R_L}} - \frac{1}{k_n R_L}$$



Uz odgovarajuću brojne vrednosti mogli smo da vidimo da su nam zanemarivanja korektna

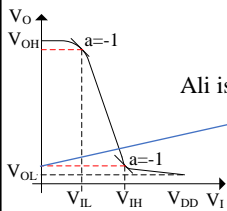
ISPIT

1. Postavka preko „tačnih“ jednačina
2. Računanje uz odgovarajuća zanemarivanja
3. Provera održivosti naponskih nivoa: Da li V_{OH} daje V_{OL} i obrnuto. Da li su V_{IL} i V_{IH} tamo gde treba
4. Računanje margina šuma i provera

Provera da li su prethodna i slična zanemarivanja korektna NE TREBA



Ono što mora da se proveriti i što mora da bude zbog održivosti naponskih nivoa jeste $V_{OL} < V_{Tn}$ da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice V_{DD} po načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da



Ali isto tako $V_{O(IH)} < V_{IL}$ a bilo bi jako dobro da $V_{O(IH)} < V_{Tn}$

$$\frac{V_{DD}}{k_n R_L (V_{DD} - V_{Tn}) + 1} < V_{Tn}$$

$$\sqrt{\frac{2V_{DD}}{3k_n R_L}} < V_{Tn}$$

U svim ovim izrazima često se napon napajanja smatra konstantnim a podešava se faktor $k_n R_L$ i odnos $\frac{k_n R_L}{V_{DD}}$ se obeležava sa β (pokazuje mogućnost „drajvovanja“ izlaza za zadati napon)

$$\sqrt{\frac{2}{3\beta}} < V_{Tn} \Rightarrow \beta > \frac{2}{3V_{Tn}^2}$$

Uočiti da će za ovako izabran parametar biti ispunjen uslov $V_{O(IL)} > V_{IH}$ potreban opet zbog održivosti naponskih nivoa.



Da bi odredili prag odlučivanja logičkog kola, mogli bi da sprovedemo kompletan postupak. Očigledno je da će se ta tačka naći u drugoj oblasti, pri čemu je

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_I - V_{Tn})} (V_I - V_{Tn})^2$$

$$V_I = V_O = V_S$$

$$\frac{V_{DD} - V_S}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_S - V_{Tn})} (V_S - V_{Tn})^2$$

i „nema zanemarivanja“. Nekako se nameće da rešavamo po $(V_S - V_{Tn})$

$$\frac{V_{DD} - (V_S - V_{Tn}) - V_{Tn}}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_S - V_{Tn})} (V_S - V_{Tn})^2$$

$$\left(\frac{k_n L_n E_{Cn}}{2} + \frac{1}{R_L} \right) (V_S - V_{Tn})^2 + \left(\frac{L_n E_{Cn}}{R_L} - \frac{V_{DD} - V_{Tn}}{R_L} \right) (V_S - V_{Tn}) - L_n E_{Cn} \frac{V_{DD} - V_{Tn}}{R_L} = 0$$

$$(V_S - V_{Tn})^2 + \frac{L_n E_{Cn} - (V_{DD} - V_{Tn})}{\frac{k_n R_L L_n E_{Cn}}{2} + 1} (V_S - V_{Tn}) - \frac{L_n E_{Cn} (V_{DD} - V_{Tn})}{\frac{k_n R_L L_n E_{Cn}}{2} + 1} = 0$$

Zamenimo brojne vrednosti i rešimo



Međutim očekujući da je ova tačka na polovini napona napajanja, „tako bi trebalo da se projektuju logička kola“, možemo u članu koji „nam smeta“ da to pretpostavimo. Na primer

$$\frac{V_{DD} - \frac{V_{DD}}{2}}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + \left(\frac{V_{DD}}{2} - V_{Tn}\right)} (V_S - V_{Tn})^2$$

$$V_S - V_{Tn} = \sqrt{\frac{V_{DD} \left(L_n E_{Cn} + \left(\frac{V_{DD}}{2} - V_{Tn}\right)\right)}{k_n R_L L_n E_{Cn}}} = 0.26V \Rightarrow V_S = 0.71V$$

Za standardne vrednosti a tačan rezultat je **0.7V**.

Greška koju smo napravili u odnosu na tačan rezultat je mala.

Razlog je što je stvarno tačka $V_S = 0.7V$ dosta bliska polovini napona napajanja $\frac{V_{DD}}{2} = 0.6V$.

U svakom slučaju na ispitu je drugi, ovaj, način dozvoljen i poželjan. Prvi treba zaobilaziti u širokom luku pošto je jako lako napraviti greške u izvođenju izraza i na ispitu vrlo verovatne.



Što se tiče strujnih kapaciteta evidentno je da će

$$I_{IL} = I_{IH} \approx 0$$

zanemarujući struje curenja. Prema tome ovde nema smisla govoriti o faktoru grananja na osnovu statičkih karakteristika. Po definiciji uvek bi bio beskonačan.

Međutim zbog konstrukcije MOS FET tranzistora njihove ulazne kapacitivnosti su veće nego kod bipolarnih tranzistora i očigledno će ovaj faktor grananja odrediti dinamički režim rada MOS FET logičkih kola. O tome ćemo već govoriti na pogodnom mestu.



Strujni kapacitet logičke jedinice je

$$I_{OH} = -\frac{V_{DD} - V_{OHmin}}{R_L}$$

Strujni kapacitet logičke nule, tranzistor radi u omskoj oblasti je

$$I_{OL} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OLmax}}{L_n E_{Cn}}} (2V_{OLmax}(V_I - V_{Tn}) - V_{OLmax}^2) - \frac{V_{DD} - V_{OLmax}}{R_L}$$

MOSFET tranzistor će menjati napon na svom izlazu prilikom strujnog opterećenja i zbog toga se u ovom izrazu pojavljuje napon V_{OLmax} definisan na isti način kao što smo ranije definisali $V_{OHmin} = V_{IH} + \Delta$ odnosno $V_{OLmax} = V_{IL} - \Delta$, da bi ostavili prostor za pojavu šuma. **Na ispitu ako nije specificirano $V_{OLmax} = V_{IL}$.**

Postavlja se pitanje koje V_I treba zameniti. Nadam se da nemate dilemu. V_{OHmin} . **Na ispitu ako nije specificirano $V_{OHmin} = V_{IH}$**

$$I_{OL} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OLmax}}{L_n E_{Cn}}} (2V_{OLmax}(V_{OHmin} - V_{Tn}) - V_{OLmax}^2) - \frac{V_{DD} - V_{OLmax}}{R_L}$$



Kod dinamičkog režima sa prelaska V_{OL} na V_{OH} u slučaju da je invertor opterećen kapacitivnošću C_L na izlasku, pošto je u pitanju prosto RC kolo možemo odmah da pišemo

$$\tau = R_L C_L \quad t_{pLH} = 0.69\tau \quad t_r = 2.2\tau$$

Prilikom prelaska V_{OH} na V_{OL} moramo da se poslužimo modelom. Pošto napon na izlazu, zbog kapacitivnosti, ne može trenutno da se promeni, napon V_{DS} će biti visok i tranzistor će raditi u zasićenju. Njegova struja je tada konstantna (zanemarićemo λ) i jednaka je

$$I_{Dn,D} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

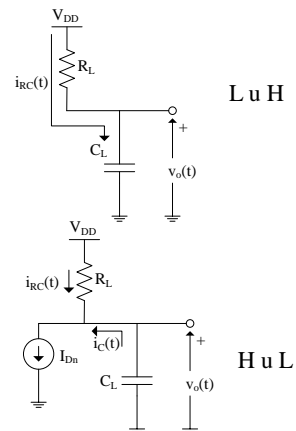
Pošto posmatramo najgori slučaj, smatraćemo da je $V_I = V_{OHmin}$. Po modelu imamo

$$\tau = C_L R_L$$

$$v(t_0^+) = V_{OH}$$

$$v_0(\infty) = V_{DD} - R_L i_{RC}(\infty) = V_{DD} - R_L I_{Dn} \ll 0$$

Ostaje pitanje da li je tranzistor bio u zasićenju za vreme ovog procesa.



Uslov zasićenja tranzistora u kolu je

$$V_{DSn,D} = V_O \geq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} = \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uočite da efekat zasićenja brzine nosilaca „brže“ uvodi tranzistor u zasićenje (pri manjim naponima V_{DS}) ali isto tako sa druge strane i „sporije“ izvodi tranzistor iz zasićenja.

$$v_o(t_{pHL}) = \frac{V_{OH} + V_{OL}}{2} \geq \frac{V_{OHmin} - V_{Tn}}{1 + \frac{(V_{OHmin} - V_{Tn})}{L_n E_{Cn}}}$$

Tačno $\frac{V_{OH} + V_{OL}}{2} \geq \frac{L_n E_{Cn} (V_{OHmin} - V_{Tn})}{L_n E_{Cn} + (V_{OHmin} - V_{Tn})}$

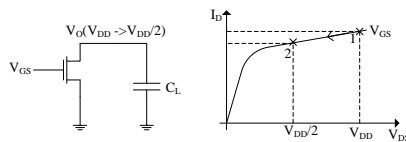
Zanemarivanje $\frac{V_{OH} + V_{OL}}{2} \geq L_n E_{Cn}$ ili $\frac{V_{OH} + V_{OL}}{2} \geq (V_{OHmin} - V_{Tn})$

Za standardne vrednosti biće zadovoljen uslov, tako da tranzistor radi u zasićenju za sve vreme ovog procesa pražnjenja kapacitivnosti na izlazu.



Dinamička otpornost MOS tranzistora

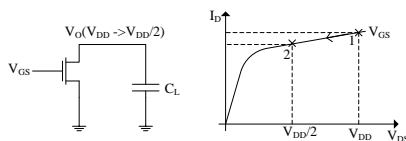
Da bi se u kasnijim analizama dinamičkog režima rada tranzistora izbegao prethodni račun, sa dovoljnom tačnošću, MOS FET tranzistor kada radi u aktivnoj oblasti zamenjuje se dinamičkom otpornošću. **Uzima se u obzir i faktor λ .**



Ideja je da se prilikom procene kašnjenja, ne izvode i ne računaju kvadratne jednačine, nego da se tranzistor zameni ekvivalentnom otpornošću kada menja radnu tačku između tačaka 1 i 2. Time bi koristili gotove rezultate $t_p = 0.69R_n C_L$ sa dovoljno dobrom tačnošću.

Uočiti da će ova aproksimacija praktično važiti samo za tranzistore sa kratkim kanalom kod kojih je V_{DSsat} malo i gde važi $V_{DSsat} < \frac{V_{DD}}{2}$, odnosno gde tranzistor ostaje u zasićenju sve vreme kada prazni parazitnu kapacitivnost, bez obzira koja je pobuda $V_{Tn} \leq V_{GS} \leq V_{DD}$. Tranzistori koji se koriste u savremenim integrisanim kolima jesu tranzistori sa kratkim kanalom.





Prvi način

$$R_n = \frac{R_{ON1} + R_{ON2}}{2}$$

Ekvivalentu otpornost R_n računamo kao srednju vrednost otpornosti tranzistora u tačkama 1 i 2, pri čemu je

$$R_{ON1} = \frac{V_{DD}}{I_{Dn1}} = \frac{V_{DD}}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n V_{DD})}$$

$$R_{ON2} = \frac{V_{DD}}{I_{Dn2}} = \frac{V_{DD}}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n \frac{V_{DD}}{2})}$$



31

Da bi pojednostavili izraz smatraćemo da je $I_{Dnsat} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2$ Pa je tada

$$R_{ON1} = \frac{V_{DD}}{I_{Dn1}} = \frac{V_{DD}}{I_{Dnsat}(1 + \lambda_n V_{DD})} \quad R_{ON2} = \frac{V_{DD}}{I_{Dn2}} = \frac{V_{DD}}{2I_{Dnsat}(1 + \lambda_n \frac{V_{DD}}{2})}$$

$$R_n = \frac{R_{ON1} + R_{ON2}}{2} = \frac{\frac{V_{DD}}{I_{Dnsat}(1 + \lambda_n V_{DD})} + \frac{V_{DD}}{2I_{Dnsat}(1 + \lambda_n \frac{V_{DD}}{2})}}{2}$$

$$R_n = \frac{V_{DD}}{4I_{Dnsat}} \left(\frac{2}{(1 + \lambda_n V_{DD})} + \frac{1}{(1 + \lambda_n \frac{V_{DD}}{2})} \right)$$

Kako je $\lambda_n V_{DD} \ll 1$ tada važi $\frac{1}{1 + \lambda_n V_{DD}} \approx 1 - \lambda_n V_{DD}$ pa je $R_n \approx \frac{V_{DD}}{4I_{Dnsat}} (2(1 - \lambda_n V_{DD}) + (1 - \lambda_n \frac{V_{DD}}{2}))$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{5}{6} \lambda_n V_{DD} \right)$$

Za računanje struja zasićenja koliko V_{GS} se uzima?



32

Uz istu zamenu

Računamo „zaista“ srednju vrednost po definiciji kada se radna tačka menja između tačaka 1 i 2

$$R_n = \frac{1}{V_2 - V_1} \int_{V_1}^{V_2} R_{ON}(V) dV$$

$$R_{ON}(V) = \frac{V}{I_{Dn}(V)} = \frac{V}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n V)}$$

Izrazi su veoma slični, i jedna i drugi su aproksimacija, tako da možemo koristiti ili jedan ili drugi, pri čemu je drugi tačniji.

$$\left(\frac{5}{6} = 0.833, \frac{7}{9} = 0.777\right)$$

$$I_{Dnsat} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2$$

$$R_n = \frac{1}{\frac{V_{DD}}{2} - V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} \frac{V}{I_{Dnsat}(1 + \lambda_n V)} dV$$

$$R_n = -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} \frac{V}{(1 + \lambda_n V)} dV$$

$$R_n \approx -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} V(1 - \lambda_n V) dV$$

$$R_n \approx -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} V(1 - \lambda_n V) dV$$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{7}{9} \lambda_n V_{DD}\right)$$

33

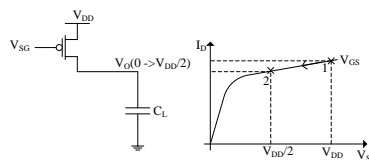


Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

33

Na identičan način možemo izvesti izraz i za p kanalni MOS FET tranzistor kada je nalazi u PUN mreži i puni kapacitivnost.



Ne zaboravite: sors je na V_{DD} a drejn na kapacitivnosti odnosno izlaznom naponu.

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{5}{6} |\lambda_p| V_{DD}\right)$$

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD}\right)$$



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

34

34

Invertor u nMOS tehnologiji sa aktivnim opterećenjem na izlazu u vidu nMOS tranzistora sa indukovanim kanalom

Kod invertora u nMOS tehnologiji sa pasivnim opterećenjem na izlazu nismo prodiskutovali izbor pasivnog opterećenja, odnosno otpornika R_L .

1. Otpornik R_L treba da je što veći kako bi napon logičke nule bio što manji. Otpornik R_L treba da bude što je veći, da bi što manje uticao na strujni kapacitet logičke nule.
2. Otpornik R_L treba da je što manji, da bi što brže punio kapacitivnosti na izlazu.
3. Otpornik R_L direktno utiče na V_{IL} i V_{IH} . Što je manji V_{IL} je veće, ali je V_{IH} veće i obrnuto.

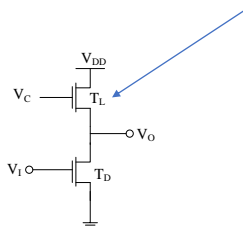
Znači potreban je kompromis za izbor vrednosti pasivnog opterećenja. Uočite da se praktično u svim izrazima pojavljuje faktor $k_n R_L$, odnosno postavlja se pitanje izbora tog faktora. A na njega možemo kod MOS tranzistora da utičemo promenom faktora k_n . Da se podsetimo

$$k_n = \mu_n C_{oxn} \frac{W_n}{L_n}$$

i ako su parametri μ_n , C_{oxn} i L_n određeni tehnološkim mogućnostima i fiksni (želimo na primer tranzistore minimalnih dimenzija pa je $L_n = L_{nmin}$ koje tehnologija dopušta) onda promenom parametra W_n na lak način možemo da utičemo na k_n . W_n je širina kanala i nju u dizajnu možemo lako da kontrolišemo.



Ideja da se umesto otpornika R_L uvede tranzistor. Za početak nMOS tranzistor sa indukovanim kanalom.



Pošto je bitan režim rada tranzistora T_L (L - load) razmotrićemo dva slučaja u zavisnosti koliki je kontrolni napon V_C na gejtu tranzistora T_L . Nadam se da je jasno da je drejn tranzistora T_L na V_{DD} a sors na izlaznom naponu. Isto tako da bi kvalitativno videli šta se dešava smatraćemo da su tranzistori sa dugačkim kanalom. Mogli bi da izvedemo uzimajući u obzir i kratki kanal, ali bi ionako u „krajnjim“ režimima uradili uprošćavanja i opet došli do izraza za dugačak kanal, kao što smo videli.



Da pogledamo režim rada tranzistora T_L . Naponi na tranzistoru su

$$V_{GS,L} = V_{G,L} - V_{S,L} = V_C - V_O$$

$$V_{DS,L} = V_{D,L} - V_{S,L} = V_{DD} - V_O$$

Uslov da radi u zasićenju

$$V_{DS,L} \geq V_{GS,L} - V_{Tn,L}$$

$$V_{DD} - V_O \geq V_C - V_O - V_{Tn,L}$$

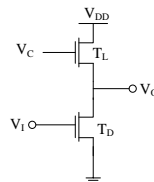
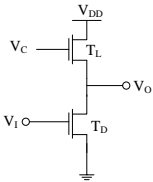
$$V_{DD} + V_{Tn,L} \geq V_C$$

i dobija se zanimljiv rezultat. Vidi se da se podešavanjem kontrolnog napona V_C može postići da tranzistor T_L uvek radi u zasićenju

$$V_C < V_{DD} + V_{Tn,L}$$

odnosno da uvek radi u omskoj oblasti

$$V_C > V_{DD} + V_{Tn,L}$$



1. slučaj kada tranzistor T_L radi uvek u omskoj oblasti.

Za očekivati je da ćemo dobiti slične rezultate kao i za pasivno opterećenje na izlazu.

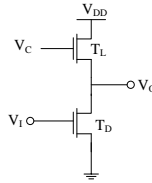
Za ulazni napon $V_I < V_{Tn,D}$ tranzistor T_D (D – drive) je zakočen. Kolo je neoptrećeno $I_{Dn,D} = 0 = I_{Dn,L}$. Kako tranzistor T_L radi u omskoj oblasti

$$I_{Dn,L} = \frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = 0$$

njegova radna tačka će se podesiti tako da je $V_{DS,L} = 0$. To je jedina moguća radna tačka nezavisno od napona $V_{GS,L}$. Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,L} = V_{DD}$$





Daljim porastom ulaznog napona $V_I = V_{Tn,D} + \varepsilon$ tranzistor T_D počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju. $V_{DS,D} \geq V_{GS,D} - V_{Tn,D}$ odnosno $V_O \geq V_I - V_{Tn,D}$. Izjednačavanjem struja $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

odnosno

$$\frac{k_{n,L}}{2} (2(V_{DD} - V_O)(V_C - V_O - V_{Tn,L}) - (V_{DD} - V_O)^2) = \frac{k_{n,D}}{2} (V_I - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$k_{n,L}(V_{DD} - V_O)(2V_C - 2V_{Tn,L} - V_{DD} - V_O) = k_{n,D}(V_I - V_{Tn,D})^2$$



Kako je $V_C > V_{DD} + V_{Tn,L}$ i možemo pretpostaviti $V_C = V_{DD} + V_{Tn,L} + \Delta$ dolazimo do zgodnijeg izraza

$$1. \quad k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}(V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$k_{n,L}(V_{DD} + 2\Delta - V_O) + k_{n,L}(V_{DD} - V_O) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$k_{n,L}(V_{DD} + \Delta - V_O) = k_{n,D}(V_I - V_{Tn,D})$$

$$2. \quad V_I = V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O)$$

Zamenom u polaznu jednačinu

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D} \left(V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O) - V_{Tn,D} \right)^2$$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = \frac{k_{n,L}^2}{k_{n,D}} (V_{DD} + \Delta - V_O)^2$$

$$k_{n,D}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,L}(V_{DD} + \Delta - V_O)^2$$



$$k_{n,D}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,L}(V_{DD} + \Delta - V_O)^2$$

Zanimljivo je što za $\Delta = 0$ kada je tranzistor T_L na prelazu između omske oblasti i zasićenja rešenje jednačine je uz $k_{n,L} \neq k_{n,D}$ moguće samo za $V_O = V_{DD}$ pa je tada i $V_{IL} = V_{Tn,D}$ što ćemo videti i kasnije kada budemo analizirali situaciju kada tranzistor T_L uvek radi u zasićenju.

Opet je slična situacija, zgodno je pisati po $V_{DD} - V_O$

$$k_{n,D}(V_{DD} - V_O)^2 + 2\Delta k_{n,D}(V_{DD} - V_O) = k_{n,L}((V_{DD} - V_O)^2 + 2\Delta(V_{DD} - V_O) + \Delta^2)$$

$$(V_{DD} - V_O)^2(k_{n,D} - k_{n,L}) + 2\Delta(V_{DD} - V_O)(k_{n,D} - k_{n,L}) - \Delta^2 k_{n,L} = 0$$

Ono što odmah treba uočiti jeste na primer ako je $k_{n,L} = k_{n,D}$ jednačina nema rešenje. A to znači da u ovoj oblasti nema tačke gde je pojačanje jednako jedinici.



Rešavanjem se dobija

$$V_{O(IL)} = V_{DD} + (V_C - V_{DD} - V_{Tn,L}) \left(1 - \sqrt{\frac{k_{n,D}}{k_{n,D} - k_{n,L}}} \right) = V_{DD} + (V_C - V_{DD} - V_{Tn,L}) \left(1 - \sqrt{\frac{1}{1 - \frac{k_{n,L}}{k_{n,D}}}} \right)$$

$$V_{IL} = V_{Tn,D} + (V_C - V_{DD} - V_{Tn,L}) \frac{k_{n,L}}{k_{n,D}} \sqrt{\frac{k_{n,D}}{k_{n,D} - k_{n,L}}} = V_{Tn,D} + (V_C - V_{DD} - V_{Tn,L}) \frac{k_{n,L}}{k_{n,D}} \sqrt{\frac{1}{1 - \frac{k_{n,L}}{k_{n,D}}}}$$



Daljim porastom ulaznog napona, napon na drejnu tranzistora T1 opada i kada je

$$V_O = V_{DS,D} = V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

i tranzistor T_D ulazi u omsku oblast, pa je zavisnost ulaznog od izlaznog napona

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (2V_{DS,D}(V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$k_{n,L} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = k_{n,D} (2V_{DS,D}(V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

uz $V_C = V_{DD} + V_{Tn,L} + \Delta$

$$1. \quad k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$



$$1. \quad k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

Ako se u ovoj oblasti nalazi V_{IH} diferenciranjem leve i desne strane i izjednačavanjem $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$k_{n,L}(V_{DD} + 2\Delta - V_O) + k_{n,L}(V_{DD} - V_O) = -k_{n,D}(2V_I - 2V_{Tn,D} - V_O) + k_{n,D}V_O(2 + 1)$$

$$k_{n,L}(2V_{DD} + 2\Delta - 2V_O) = k_{n,D}(2V_O - 2V_I + 2V_{Tn,D})$$

$$2. \quad V_I = V_{Tn,D} + V_O - \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O)$$

Zamenom u početni izraz

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O \left(V_O - 2 \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O) \right)$$



Rešavanjem se dobija

$$V_{O(IH)} \approx \frac{k_{n,L}}{k_{n,D}} (V_C - V_{Tn,L}) \left(1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} \left(1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)} \right)$$

$$V_{IH} \approx V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} (V_C - V_{Tn,L}) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} \left(1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)}$$



Napon logičke nule će se dobiti kao rešenje jednačine

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

za $V_I = V_{OH}$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D} - V_O)$$

Uz V_{OL} malo

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta) = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D})$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(V_{DD} + 2\Delta)}{V_{DD} - V_{Tn,D}} = \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(2V_C - V_{DD} - V_{Tn,L})}{V_{DD} - V_{Tn,D}}$$



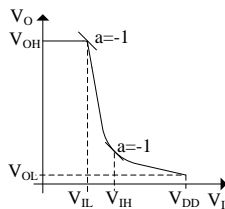
$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(V_{DD} + 2\Delta)}{V_{DD} - V_{Tn,D}} = \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(2V_C - V_{DD} - V_{Tn,L})}{V_{DD} - V_{Tn,D}}$$

Važno je da uočite da se ništa neće promeniti ni ovde a ni na drugim mestima ako na primer povećamo obe širine tranzistora istim faktorom, pošto nam se stalno pojavljuju odnosi

$$\frac{k_{n,L}}{k_{n,D}} = \frac{\mu_{n,L} C_{oxn,L} \frac{W_{n,L}}{L_{n,L}}}{\mu_{n,D} C_{oxn,D} \frac{W_{n,D}}{L_{n,D}}} = \frac{\mu_{n,L} C_{oxn,L} \frac{F \times W_{n,L}}{L_{n,L}}}{\mu_{n,D} C_{oxn,D} \frac{F \times W_{n,D}}{L_{n,D}}}$$



Karakteristika prenosa



Bez želje da tražimo sada „tačne“ vrednosti ono što je evidentno jeste da izrazi liče na one koje smo dobili kada smo analizirali invertor sa pasivnim opterećenjem, kao i da sve ove parametre možemo da podešavamo odnosom

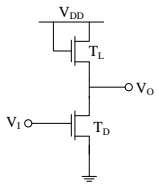
$$\frac{k_{n,D}}{k_{n,L}} \text{ odnosno direktno odnosima } \frac{W_{n,D}}{W_{n,L}}$$

Rezultati koji su dobijeni ne bi trebalo da su iznenađujući pošto se tranzistor T_L ponaša kao dinamička otpornost. Kada je ulazni napon mali, odnosno izlazni napon visok, i napon $V_{GS,L}$ je mali, dinamička otpornost tranzistora T_L

$r_{DSn,L} \approx \frac{1}{k_{n,L}(V_{GS,L} - V_{Tn,L})}$ je velika i obezbeđuje veliko pojačanje u prelaznoj zoni, dobru karakteristiku. Kada je ulazni napon visok, odnosno izlazni napon mali, i napon $V_{GS,L}$ je veliki, dinamička otpornost tranzistora T_L je mala i obezbeđuje brzo punjenje kapacitivnosti koje opterećuju izlaz prilikom prelaska sa logičke nule na logičku jedinicu. Normalno ne može baš sve da se dobije idealno, pošto će ova mala dinamička otpornost uticati na napon logičke nule (povećavaće), strujni kapacitet logičke nule (smanjivaće) itd.



Za prethodni slučaj bi nam bio potreban kontrolni napon veći od napona napajanja odnosno trebao bi nam još jedan izvor napajanja. Zbog toga se na račun nekih performansi (videćemo kojih) gejnt tranzistora T_L povezuje na napon napajanja V_{DD} i time se obezbeđuje da tranzistor T_L uvek vodi u zasićenju.



Uslov da radi u zasićenju

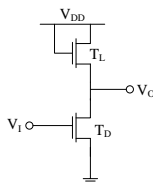
$$V_{GS,L} = V_{G,L} - V_{S,L} = V_{DD} - V_O$$

$$V_{DS,L} = V_{D,L} - V_{S,L} = V_{DD} - V_O$$

$$V_{DS,L} \geq V_{GS,L} - V_{Tn,L}$$

$$V_{DD} - V_O \geq V_{DD} - V_O - V_{Tn,L}$$

i uvek je ispunjen. Tranzistor T_2 uvek radi u zasićenju. Uočiti da ovo važi i u slučaju kratkog kanala.



Za ulazni napon $V_I < V_{Tn,D}$ tranzistor T_D je zakočen. Kolo je neoptrećeno $I_{Dn,D} = 0 = I_{Dn,L}$. Kako tranzistor T_L radi u zasićenju

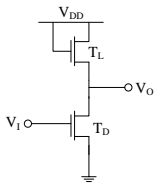
$$I_{Dn,L} = \frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = 0$$

njegova radna tačka će se podesiti tako da je $V_{GS,L} = V_{Tn,L}$. To je jedina moguća radna tačka, Prema tome

$$V_O = V_{OH} = V_{DD} - V_{GS,L} = V_{DD} - V_{Tn,L}$$

U odnosu na prethodni slučaj napon logičke jedinice je manji





Daljim porastom ulaznog napona $V_I = V_{Tn,D} + \varepsilon$ tranzistor T_D počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju. $V_{DS,D} \geq V_{GS,D} - V_{Tn,D1}$ odnosno $V_O \geq V_I - V_{Tn,D}$. Izjednačavanjem struja $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$1. \quad k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} (V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili da je $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$2k_{n,L} (V_{DD} - V_O - V_{Tn,L}) = 2k_{n,D} (V_I - V_{Tn,D})$$

$$2. \quad V_I = V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L})$$

Zamenom u polaznu jednačinu

$$k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 \quad ????$$



Ovaj iznenađujući rezultat pokazuje da suštinski u ovoj oblasti ne postoji tačka sa pojačanjem koje je jednako -1, ali isto tako i da je pojačanje konstantno (izraz važi za bilo koje V_O)

Da se vratimo na polaznu jednačinu:

$$k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} (V_I - V_{Tn,D})^2$$

Mada smo rekli da to nećemo raditi ali ovde na lak način možemo izraziti V_O u funkciji V_I

$$k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} (V_I - V_{Tn,D})^2$$

$$V_O = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}} (V_I - V_{Tn,D})$$

pa je pojačanje u toj oblasti $a = \frac{dV_O}{dV_I} = -\sqrt{\frac{k_{n,D}}{k_{n,L}}}$ konstantno. I da bi dobili logičko kolo

$$\sqrt{\frac{k_{n,D}}{k_{n,L}}} > 1$$

$$k_{n,D} > k_{n,L}$$



$$V_{IL} = V_{Tn,D}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora T_D opada i kada je

$$V_O = V_{DS,D} = V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

tranzistor T_D ulazi u omsku oblast, pa je zavisnost ulaznog od izlaznog napona

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (2V_{DS,D} (V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$1. \quad k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} V_O (2V_I - 2V_{Tn,D} - V_O)$$

Ako se u ovoj oblasti nalazi V_{IH} diferenciranjem leve i desne strane i izjednačavanjem $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$2k_{n,L} (V_{DD} - V_O - V_{Tn,L}) = -k_{n,D} (2V_I - 2V_{Tn,D} - V_O) + k_{n,D} V_O (2 + 1)$$

$$2k_{n,L} (V_{DD} - V_O - V_{Tn,L}) = k_{n,D} (2V_O - 2V_I + 2V_{Tn,D})$$

$$2. \quad V_I = V_{Tn,D} + V_O - \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L})$$



Rešenje

$$V_{O(IH)} \approx \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_{Tn,L}) \left(1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}} \right)$$

$$V_{IH} \approx V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_{Tn,L}) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}}$$



Dok će se napon logičke nule dobiti kao rešenje jednačine

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

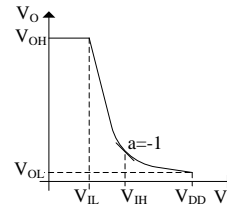
za $V_I = V_{OH}$

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D} - V_O)$$

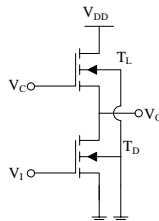
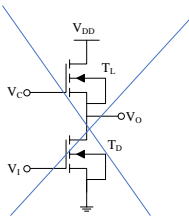
Uz V_{OL} malo

$$k_{n,L}(V_{DD} - V_{Tn,L})^2 = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D})$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(V_{DD} - V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})}$$



Problem koji nismo razmatrali



$$V_{Tn} = V_{Tn0} + \gamma \left(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right)$$

$$V_{Tn,L} = V_{Tn0} + \gamma \left(\sqrt{|2\phi_F + V_{SB,L}|} - \sqrt{|2\phi_F|} \right)$$

Pri čemu je

$$V_{SB,L} = V_{S,L} - V_{B,L} = V_{OH} - 0 = V_{OH}$$

Znači

$$V_{OH} = V_{DD} - V_{Tn0} - \gamma \left(\sqrt{|2\phi_F + V_{OH}|} - \sqrt{|2\phi_F|} \right)$$

i to treba, i može da se reši, po V_{OH} . Bilo računanjem kvadratne jednačine, bilo iterativno. Ono što je uočljivo jeste da će napon V_{OH} značajno pasti. Slično važi i za tačku V_{OL} . Tačka V_{IL} ne zavisi od $V_{Tn,L}$ ostaje ista. Na žalost ovo ne važi za tačku V_{IH} pošto postoji zavisnost napona praga od napona sors – osnovna, odnosno od izlaznog napona



Nismo računali strujne kapacitete, niti dinamički režim.
Može da se uradi na sličan način kao kod pasivnog opterećenja.
Vratićemo se na ova računanja kod CMOS logičkih kola.
Ovde su nas interesovali samo efekti na karakteristiku prenosa.

